

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-242898

⑬ Int. Cl. 5

G 11 C 11/419
H 01 L 27/10

識別記号

481

庁内整理番号

8624-5F

⑭ 公開 平成3年(1991)10月29日

8526-5L

G 11 C 11/34

311

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 センス増幅回路

⑯ 特 願 平2-40082

⑯ 出 願 平2(1990)2月21日

⑰ 発明者 堀田 泰裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑲ 代理人 弁理士 青山 葵 外1名

明細書

1. 発明の名称

センス増幅回路、

2. 特許請求の範囲

(1)トランジスタからなるメモリセルの論理状態が"1"または"0"のいずれであるかを上記トランジスタにつながるデータ線を介して検出するセンス増幅回路であって、

上記メモリセルの"1"状態と同一特性を有するトランジスタからなる第1のダミーメモリセルと、上記メモリセルの"0"状態と同一特性を有するトランジスタからなる第2のダミーメモリセルと、上記第1のダミーメモリセルに接続され、第1のダミーメモリセルのトランジスタの特性に応じて低レベルの参照電位が与えられる第1の参照線と、

上記第2のダミーメモリセルに接続され、第2のダミーメモリセルのトランジスタの特性に応じて高レベルの参照電位が与えられる第2の参照線と、

検出すべきメモリセルにつながるデータ線と第

1. 第2の参照線とを差動入力として受けて、第

1. 第2の参照線のうち上記データ線と電位が異なる方の参照線の電位に基づいて上記メモリセルの論理状態に応じた高低いずれかのレベルを出力する差動増幅回路を備えたことを特徴とするセンス増幅回路。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は半導体メモリのセンス増幅回路に関する。

<従来の技術>

従来、半導体メモリ、例えばマスクROMのセンス増幅回路としては第4図に示すようなものがある。このセンス増幅回路は、カレントミラー型差動増幅回路と、PMOSトランジスタQ_pを介して電源につながる参照線REFと、オン状態のNMOSトランジスタQ_{n1}と、このNMOSトランジスタQ_{n2}を介して参照線REFにつながるダミービット線DBと、このダミービット線

BEST AVAILABLE COPY

DBLとグランドとの間に直列接続されたダミーメモリセルトランジスタ Q_{n1}, Q_{n2} を備えている。また、参照線 REF側と対称に PMOSトランジスタ Q_{p1} を介して電源につながるデータ線 DLと、コラム選択信号 C_{col} によりスイッチングされる NMOSトランジスタ Q_{n3} と、この NMOSトランジスタ Q_{n4} を介してデータ線 DLにつながるビット線 BLを備えている。ビット線 BLとグランドとの間に複数の NMOSメモリセルトランジスタ Q_{n5} (図中、1つのみ示す)が接続されている。上記カレントミラー型差動増幅回路 10は、同一特性を有し電源につながる一対の PMOSトランジスタ Q_{p2}, Q_{p3} と、同じく同一特性を有しこの Q_{p2}, Q_{p3} にそれぞれ直列接続された一対の NMOSトランジスタ Q_{n6}, Q_{n7} と、これらのトランジスタ Q_{n6}, Q_{n7} の接続点とグランドとの間に接続された NMOSトランジスタ Q_{n8} からなっている。NMOSトランジスタ Q_{n6}, Q_{n7} のゲートはそれぞれ参照線 REF、データ線 DLに接続されている。上記メモリセルトランジスタ Q_{n5} は、論

理状態“1”すなわち低しきい値のとき、通常のエンハンスマントトランジスタと同様にゲートにワード線 WLを通じて電圧が印加されるとオンとなる一方、論理状態“0”すなわち高しきい値のとき、ほとんど電流を流さないオフ状態となる。NMOSダミーメモリセルトランジスタ Q_{n2}, Q_{n3} は、いずれも論理状態“1”的ときのメモリセルトランジスタ Q_{n5} と同一特性となっている。

参照線 REFに対して、PMOSトランジスタ Q_{p1} を介して電源(電位 V_{cc})より流れ込む充電電流は、第3図中に破線 13で示すように、参照線 REFの電位(以下、「参照電位」という) V_{ref} が上昇するにつれて減少する。一方、参照線 REFからダミーメモリセルトランジスタ Q_{n2}, Q_{n3} を介してグランドへ流出する放電電流は、参照電位 V_{ref} が上昇すると同図中に一点鎖線 14で示すように増加する。したがって、参照電位 V_{ref} は、上に述べた充電電流と放電電流とのバランスによって定まり、破線 13と一点鎖線 14との交点 C で表わされる電位 V_c となる。また、データ線 DL

-3-

-4-

に対して、PMOSトランジスタ Q_{p1} を介して電源より流れ込む充電電流は、参照線 REF側と同様に、データ線の電位(以下、「データ線電位」という) V_{d1} が上昇すると破線 13で示すように減少する。データ線 DLからグランドへ流出する放電電流は、メモリセルトランジスタ Q_{n5} が“1”状態のとき、データ線電位 V_{d1} が上昇すると実線 11で示すように增加する。一方、メモリセルトランジスタ Q_{n5} が“0”状態のとき、実線 12で示すようにデータ線電位 V_{d1} の値に関わらずほとんどゼロとなる。なお、ダミーメモリセルトランジスタ Q_{n2}, Q_{n3} の直列抵抗によって参照線 REFの放電電流 14はデータ線 DLの放電電流 11の略半分の値となっている。データ線電位 V_{d1} は、充電電流と放電電流とのバランスによって、メモリセルトランジスタ Q_{n5} が“1”状態のとき、破線 13と実線 11との交点 A で表わされる電位 V_a ($< V_c$)となる。逆に、メモリセルトランジスタ Q_{n5} が“0”状態のときは、破線 13と実線 12との交点 B で表わされる電位 V_b ($> V_c$)となる。そして、

メモリセルトランジスタ Q_{n5} が“1”状態のとき、カレントミラー型差動増幅回路 10は、NMOSトランジスタ Q_{n6}, Q_{n7} のゲートに、それぞれ参照電位 $V_{ref} = V_c$ 、データ線電位 $V_{d1} = V_a$ を受けて差動増幅し、この電位差に基づいて電位 V_{sa} を高レベルにして出力する。メモリセルトランジスタ Q_{n5} が“0”状態のときは、上記 NMOSトランジスタ Q_{n6}, Q_{n7} のゲートにそれぞれ参照電位 $V_{ref} = V_c$ 、データ線電位 $V_{d1} = V_b$ を受けて差動増幅し、電位 V_{sa} を低レベルにして出力する。このようにしてメモリセル Q_{n5} の論理状態を検出している。

<発明が解決しようとする課題>

ところで、上記メモリセルトランジスタ Q_{n5} は、“0”状態のとき第3図に実線 12で示したデータ線 DLの放電電流がほとんどゼロになるように設計されている。しかしながら、製造ばらつきによって無視できない大きさの放電電流が流れることがある。すると、データ線電位 V_{d1} の値が低下して V_b 以下となり、上記参照電位 V_{ref} との差が設計

値($(V_b - V_a)/2$ 程度)よりも小さくなる。このため、上記従来のセンス増幅回路は、動作余裕が少なく安定性に欠けるという問題がある。極端な場合、メモリセルトランジスタ Q_{a1} が "0" 状態であるにもかかわらず $V_{dQ} < V_{ref} (= V_c)$ となって誤動作することがある。

また、EPROMやEEPROMのセンス増幅回路の場合も、メモリセルの書き換えに伴ってメモリセルトランジスタの "0" 状態の特性が劣化して同様の問題を生じることがある。

そこで、この発明の目的は、製造ばらつきや書き換えに伴う特性劣化等によってメモリセルトランジスタの "0" 状態の電流特性が劣化したとしても、誤動作することなく安定にセンス増幅できるセンス増幅回路を提供することにある。

＜課題を解決するための手段＞

上記目的を達成するために、この発明のセンス増幅回路は、トランジスタからなるメモリセルの論理状態が "1" または "0" のいずれであるかを上記トランジスタにつながるデータ線を介して検出

するセンス増幅回路であって、上記メモリセルの "1" 状態と同一特性を有するトランジスタからなる第1のダミーメモリセルと、上記メモリセルの "0" 状態と同一特性を有するトランジスタからなる第2のダミーメモリセルと、上記第1のダミーメモリセルに接続され、第1のダミーメモリセルのトランジスタの特性に応じて低レベルの参照電位が与えられる第1の参照線と、上記第2のダミーメモリセルに接続され、第2のダミーメモリセルのトランジスタの特性に応じて高レベルの参照電位が与えられる第2の参照線と、検出すべきメモリセルにつながるデータ線と第1、第2の参照線とを差動入力として受けて、第1、第2の参照線のうち上記データ線と電位が異なる方の参照線の電位に基づいて上記メモリセルの論理状態に応じた高低いずれかのレベルを出力する差動増幅回路を備えたことを特徴としている。

＜作用＞

差動増幅回路は、低レベルの第1の参照線と高レベルの第2の参照線のうちデータ線と電位が異

-7-

なる方の参照線の電位に基づいて動作する。例えば、メモリセルトランジスタが "1" 状態、したがってデータ線電位が低レベルのとき、高レベルの第2の参照線の電位(第2の参照電位)を基準として、この高レベルの第2の参照電位と低レベルのデータ線電位との差を入力として差動増幅する。逆に、メモリセルトランジスタが "0" 状態、したがってデータ線電位が高レベルのとき、低レベルの第1の参照線の電位(第1の参照電位)を基準として、この低レベルの第1の参照電位と高レベルのデータ線電位との差を入力として差動増幅する。このように参照電位とデータ線電位との差は、データ線電位が高低いずれのレベルであっても、上記高レベルと低レベルとの差となっている。すなわち、差動増幅回路の入力の電位差は従来に比して設計上約2倍となっており、差動増幅回路の動作余裕が増えている。

製造ばらつき等によって、メモリセルトランジスタが "0" 状態のときにデータ線の放電電流が生じると、データ線電位が低下する。このとき、第

2のダミーメモリセルトランジスタがメモリセルトランジスタの "0" 状態と同一特性を有しているので、第2の参照電位もデータ線電位と同じだけ低下する。したがって、第1の参照電位と第2の参照電位との差が減少し、上記差動増幅回路の入力の電位差が減少する。しかしながら、上記第1、第2の参照電位の差は、従来に比して設計上約2倍となっているため、極端な場合、この電位差が設計値の半分程度になったとしても、従来のセンス増幅回路の設計レベル並みであるから上記差動増幅回路は正常に動作する。したがって、従来に比してセンス増幅が安定に行われる。

＜実施例＞

以下、この発明のセンス増幅回路を図示の実施例により詳細に説明する。なお、マスクROMのセンス増幅回路について説明するものとする。

第1図に示すように、このセンス増幅回路は、カレントミラー型差動増幅回路20と、PMOSトランジスタ Q_{p1} を介して電源につながるデータ線 D_L と、コラム選択信号 C_{sel} によりスイッチ

グされるNMOSトランジスタQ_{n1}と、NMOSトランジスタQ_{n2}を介してデータ線D_Lにつながるビット線B_Lを備えている。ビット線B_Lとグランドとの間に複数のNMOSメモリセルトランジスタQ_{n3}（図中、1つのみ示す）が接続されている。また、このセンス增幅回路は、PMOSトランジスタQ_{p1}、Q_{p2}を介してそれぞれ電源につながる第1の参照線REF₁、第2の参照線REF₂と、オン状態のNMOSトランジスタQ_{n4}、Q_{n5}と、NMOSトランジスタQ_{n6}、Q_{n7}を介してそれぞれ第1、第2の参照線REF₁、REF₂につながる第1のダミービット線DBL₁、第2のダミービット線DBL₂と、この第1、第2のダミービット線DBL₁、DBL₂とグランドとの間にそれぞれ接続されたダミーメモリセルトランジスタQ_{n8}、Q_{n9}を備えている。上記カレントミラー型差動増幅回路20は、電源につながる一対のPMOSトランジスタQ_{p3}、Q_{p4}と、このQ_{p1}、Q_{p2}にそれぞれ接続された各一対のNMOSトランジスタQ_{n10}、Q_{n11}、Q_{n12}、Q_{n13}と、これらQ_{n1}、Q_{n2}、Q_{n3}、Q_{n4}の接

続点とグランドとの間に接続されたNMOSトランジスタQ_{n14}からなっている。NMOSトランジスタQ_{n1}、Q_{n2}、Q_{n3}およびQ_{n14}は互いに同一特性を有している。Q_{n1}、Q_{n2}のゲートはともにデータ線D_Lに接続される一方、Q_{n3}、Q_{n14}のゲートはそれぞれ第1、第2の参照線REF₁、REF₂に接続されている。上記メモリセルトランジスタQ_{n3}は、論理状態“1”すなわち低しきい値のとき、通常のエンハンスマントランジスタと同様に、ゲートにワード線WLを通して電圧が印加されるとオンとなる一方、論理状態“0”すなわち高しきい値のとき、ほとんど電流を流さないオフ状態となる。ダミーメモリセルトランジスタQ_{n8}、Q_{n9}は、それぞれメモリセルトランジスタQ_{n3}の“1”状態、“0”状態と同一特性となっている。またPMOSトランジスタQ_{p1}、Q_{p2}およびQ_{p3}は互いに同一特性を有しており、それぞれQ_{n1}、Q_{n2}、Q_{n3}の負荷として動作する。

データ線D_Lに対して、PMOSトランジスタQ_{p1}を介して電源（電位V_{cc}）より流れ込む充電電

- 11 -

流は、データ線電位V_{dl}が上昇すると第2図中に破線3で示すように減少する。データ線D_Lからグランドへ流出する放電電流は、メモリセルトランジスタQ_{n3}が“1”状態のとき、データ線電位V_{dl}が上昇すると同図中に実線1で示すように増加する。逆に、メモリセルトランジスタQ_{n3}が“0”状態のとき、実線2で示すようにデータ線電位V_{dl}の値に関わらずほとんどゼロとなる。したがって、データ線電位V_{dl}は、上に述べた充電電流と放電電流とのバランスによって定まり、メモリセルトランジスタQ_{n3}が“1”状態のとき、破線3と実線1との交点Aで表わされる電位V_aとなる。逆に、メモリセルトランジスタQ_{n3}が“0”状態のときは、破線3と実線2との交点Bで表わされる電位V_bとなる。

また、第1の参照線REF₁、第2の参照線REF₂に対して、それぞれPMOSトランジスタQ_{p1}、Q_{p2}を介して電源から流れ込む充電電流は、データ線D_L側と同様に、いずれも第2図中に破線3で示すように、第1、第2の参照電位V_{ref1}、V_{ref2}

- 12 -

が上昇するにつれて減少する。第1の参照線REF₁からダミーメモリセルトランジスタQ_{n8}を介してグランドへ流出する放電電流は、第1の参照電位V_{ref1}が上昇すると実線1で示すように増加する一方、第2の参照線REF₂からダミーメモリセルトランジスタQ_{n9}を介してグランドへ流出する放電電流は、第2の参照電位V_{ref2}の値に関わらずほとんどゼロとなる。したがって、第1、第2の参照電位V_{ref1}、V_{ref2}は、充電電流、放電電流のバランスによってそれぞれ点A、点Bで表わされる電位V_a、V_bとなる。

上記差動増幅回路20は、低レベルV_aの第1の参照線REF₁と高レベルV_bの第2の参照線REF₂のうちデータ線D_Lと電位が異なる方の参照線の電位に基づいて動作する。例えば、メモリセルトランジスタQ_{n3}が“1”状態、したがってデータ線電位V_{dl}が低レベルV_aのとき、第1の参照電位V_{ref1}が低レベルV_aであるから、まずトランジスタQ_{n1}、Q_{n2}およびQ_{n3}を流れる電流が同一の大きさになる。ここで、第2の参照電位V_r

ef_1 は高レベル V_b であるから、トランジスタ Q_{n10} を流れる電流は上記 Q_{n7} , Q_{n8} , Q_{n9} を流れる電流よりも大きくなる。したがって、この差動増幅回路 20 は、高レベル V_b の第 2 の参照電位に基づいて電位 V_{sa} を低レベルにして出力する。逆に、メモリセルトランジスタ Q_{n1} が “0” 状態、したがってデータ線電位 V_{d2} が高レベル V_b のときは、第 2 の参照電位 V_{ref2} が高レベル V_b であるから、トランジスタ Q_{n7} , Q_{n8} および Q_{n9} を流れる電流が同一の大きさになる。ここで、第 1 の参照電位 V_{ref1} は低レベル V_a であるから、トランジスタ Q_{n10} を流れる電流は上記 Q_{n7} , Q_{n8} , Q_{n9} を流れる電流よりも小さくなる。したがって、この差動増幅回路 20 は、低レベル V_a の第 1 の参照電位に基づいて電位 V_{sa} を高レベルにして出力する。このように基準とした参照電位 V_{ref1} または V_{ref2} とデータ線電位 V_{d2} の差は、データ線電位 V_{d2} が高低いいずれのレベルであっても、上記高レベル V_b と低レベル V_a との差となっている。この差動増幅回路の入力の電位差 ($V_b - V_a$) は、従来に

比して設計上約 2 倍となっており、したがって差動増幅回路 20 の動作余裕が増えている。

製造ばらつき等によって、メモリセルトランジスタ Q_{n1} が “0” 状態のときに、データ線 D_L の放電電流が生じると、データ線電位 V_{d2} が低下して、 V_b 以下の値となる。このとき、ダミーメモリセルトランジスタ Q_{n1} がメモリセルトランジスタ Q_{n10} の “0” 状態と同一特性を有しているので、第 2 の参照電位 V_{ref2} もデータ線電位 V_{d2} と同じだけ低下する。したがって、第 1 の参照電位と第 2 の参照電位の差 ($V_{ref1} - V_{ref2}$) が減少し、これに伴って上記差動増幅回路 20 の入力電位差が減少する。しかしながら、上記第 1, 第 2 の参照線電位の差 ($V_{ref1} - V_{ref2}$) は設計上 ($V_b - V_a$) となっているため、半分程度になったとしても、従来のセンス増幅回路の設計レベル並みであるから上記差動増幅回路 20 は正常に動作する。したがって、従来に比して安定にセンス増幅動作を行うことができる。

なお、この実施例はマスク ROM のセンス増幅

- 15 -

回路としたが、これに限られるものではなく、この発明は、E PROM, EEPROM など、メモリセルが各 1 つの MOS トランジスタで構成された半導体メモリに広く適用することができる。

＜発明の効果＞

以上より明らかのように、この発明のセンス増幅回路は、上記メモリセルの “1” 状態と同一特性を有するトランジスタからなる第 1 のダミーメモリセルと、上記メモリセルの “0” 状態と同一特性を有するトランジスタからなる第 2 のダミーメモリセルと、上記第 1 のダミーメモリセルに接続され、第 1 のダミーメモリセルのトランジスタの特性に応じて低レベルの参照電位が与えられる第 1 の参照線と、上記第 2 のダミーメモリセルに接続され、第 2 のダミーメモリセルのトランジスタの特性に応じて高レベルの参照電位が与えられる第 2 の参照線と、換出すべきメモリセルにつながるデータ線と第 1, 第 2 の参照線とを差動入力として受けて、第 1, 第 2 の参照線のうち上記データ線と電位が異なる方の参照線の電位に基づいて上

記メモリセルの論理状態に応じた高低いずれかのレベルを出力する差動増幅回路を備えているので、マスク ROM, E PROM, EEPROM などの半導体メモリにおいて、製造ばらつきや書き換えに伴う特性劣化等によってメモリセルの “0” 状態 (高しきい値) の電流特性が悪化したとしても、安定にセンス増幅動作を行うことができる。

4. 図面の簡単な説明

第 1 図はこの発明の一実施例のセンス増幅回路を示す回路図、第 2 図は上記センス増幅回路のデータ線と第 1, 第 2 の参照線の電流 - 電圧特性を示す図、第 3 図は従来のセンス増幅回路のデータ線と参照線の電流 - 電圧特性を示す図、第 4 図は従来のセンス増幅回路を示す回路図である。

20…カレントミラー型差動増幅回路、

D_L …ビット線、

D_{BL1} , D_{BL2} …ダミービット線、

D_L …データ線、

Q_{n1} …メモリセルトランジスタ、

Q_{n2} , Q_{n3} …ダミーメモリセルトランジスタ、

- 18 -

- 17 -

Q_{n1}, Q_{n6}, Q_{n8}, Q_{n7}, Q_{n5}, Q_{n4}, Q_{n10}, Q_{n11},

…N MOSトランジスタ、

Q_{p1}, Q_{p2}, Q_{p3}, Q_{p4}, Q_{p5}…P MOSトランジ

スタ、

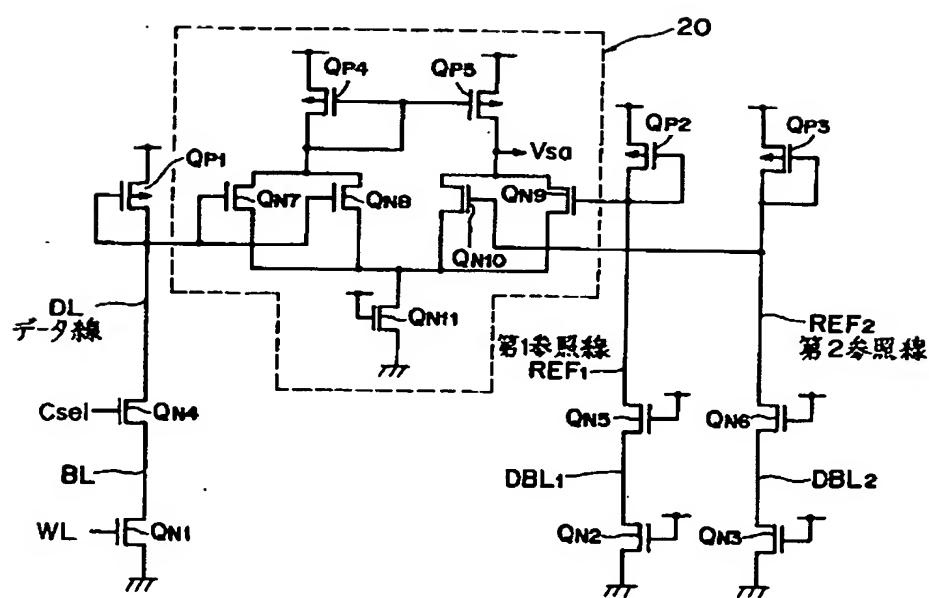
REF₁…第1の参照線、REF₂…第2の参照線、

WL…ワード線。

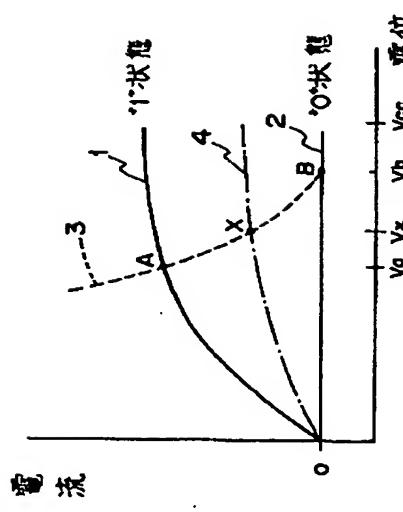
特許出願人 シャープ株式会社
 代理人弁理士 青山 舟ほか1名

- 19 -

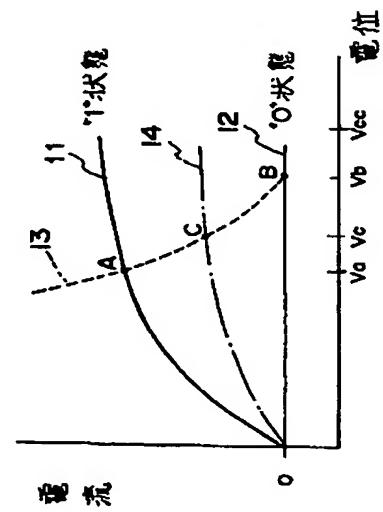
第1図



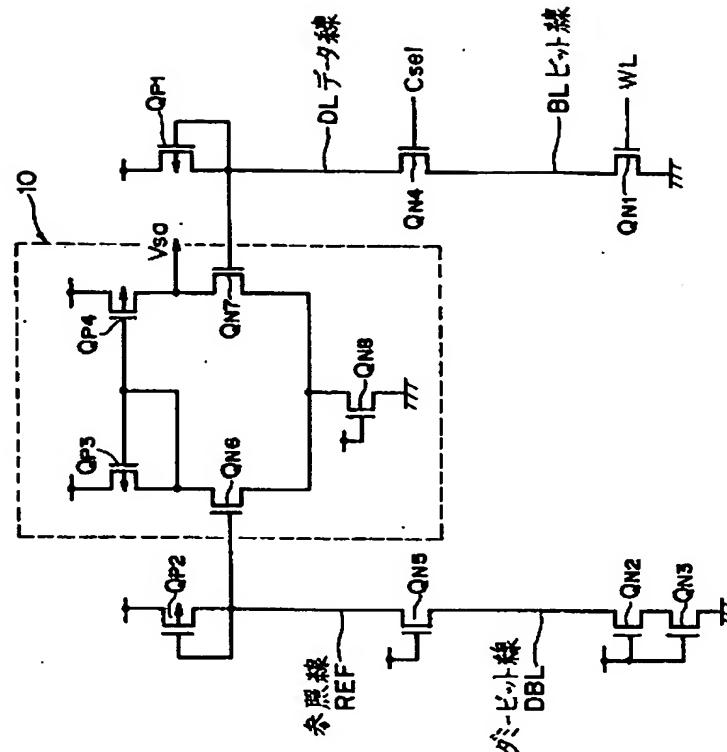
第 2 図



第 3 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.